

DERWENT-ACC-NO: 1996-452830  
DERWENT-WEEK: 199645  
COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Mfg. TFT with thin film polycrystal semiconductor layer  
for display  
device - involves irradiating excimer laser after hydrogen ion  
implantation to  
diffuse hydrogen into thin film semiconductor layer from  
introductory hydrogen  
content layer

PATENT-ASSIGNEE: SANYO ELECTRIC CO LTD[SAOL]

PRIORITY-DATA: 1994JP-0321386 (November 29, 1994)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	
PAGES	MAIN-IPC		
JP 08228010 A	September 3, 1996	N/A	007
H01L 029/786			

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP08228010A	N/A	1995JP-0311443
November 29, 1995		

INT-CL (IPC): G02F001/136; H01L021/20 ; H01L021/268 ;  
H01L021/336 ;  
H01L029/786

ABSTRACTED-PUB-NO: JP08228010A

BASIC-ABSTRACT: The method involves formation of an insulating  
cover layer (2)  
made of SiO<sub>2</sub> over a substrate (1). Over this layer, a thin film  
semiconductor  
layer (3) is formed.

Ion which determines conductivity is introduced into the  
semiconductor layer.  
Introductory hydrogen content layer (4) is formed over the  
insulating lower  
layer by ion implantation of hydrogen. Then, the layers are  
irradiated by  
energy beam such as Ar excimer laser, hydrogen from the  
introductory hydrogen  
content layer diffuses into the thin film semiconductor layer

which is  
recrystallised.

ADVANTAGE - Simplifies mfg process. Provides satisfactory display. Prevents loosing of hydrogen at time of formation of thin film semiconductor layer. Provides with definitive thin film polycrystal semiconductor layer.

CHOSEN-DRAWING: Dwg.1/8

TITLE-TERMS:

MANUFACTURE TFT THIN FILM POLYCRYSTALLINE SEMICONDUCTOR LAYER  
DISPLAY DEVICE  
IRRADIATE EXCIMER LASER AFTER HYDROGEN ION IMPLANT DIFFUSION  
HYDROGEN THIN FILM  
SEMICONDUCTOR LAYER INTRODUCING HYDROGEN CONTENT LAYER

DERWENT-CLASS: L03 P81 U11 U14

CPI-CODES: L04-C02B; L04-C12A; L04-C26; L04-E01;

EPI-CODES: U11-C03J1; U14-H01A; U14-K01A2B;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C1996-141925

Non-CPI Secondary Accession Numbers: N1996-381951

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-228010

(43)公開日 平成8年(1996)9月3日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786			H 0 1 L 29/78	6 2 7 E
21/336			G 0 2 F 1/136	5 0 0
G 0 2 F 1/136	5 0 0		H 0 1 L 21/20	
H 0 1 L 21/20			21/268	Z
21/268			29/78	6 2 7 G
審査請求 未請求 請求項の数6 O L (全 7 頁)				

(21)出願番号 特願平7-311443

(22)出願日 平成7年(1995)11月29日

(31)優先権主張番号 特願平6-321386

(32)優先日 平6(1994)11月29日

(33)優先権主張国 日本 (J P)

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 佐野 景一

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72)発明者 納田 朋幸

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72)発明者 綾 洋一郎

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74)代理人 弁理士 岡田 敬

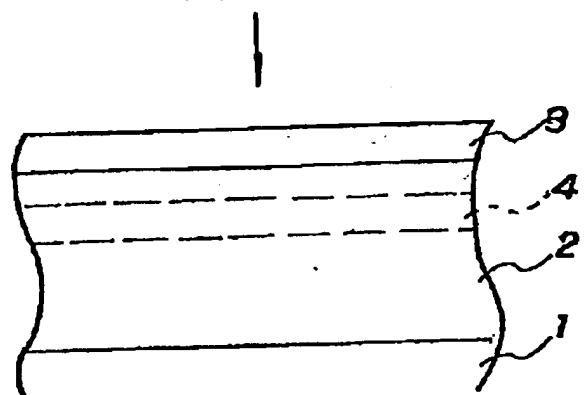
(54)【発明の名称】 薄膜多結晶半導体層の形成方法、その形成方法を用いた薄膜トランジスタ及びその薄膜トランジスタを用いた表示装置

(57)【要約】

【課題】 水素の導入効率が高く、薄膜半導体層の形成時の水素の抜け出しが防止でき、かつ簡単なプロセスで高品位の薄膜多結晶半導体層を得ることを目的とする。

【解決手段】 基板1上に、SiO<sub>2</sub>を形成して絶縁性下部層2を得る。次に、導電性を決定する不純物が導入された薄膜半導体層3を形成する。そして、前記薄膜半導体層3の上方から水素をイオン注入して前記絶縁性下部層2内に導入水素含有層4を形成する。前記水素イオン注入の後、例えば、Arエキシマレーザなどのエネルギービームを照射し、前記の薄膜半導体層3内に前記導入水素含有層4内の水素を拡散させるとともに、薄膜半導体層3を再結晶化する。

水素イオン



## 【特許請求の範囲】

【請求項1】 絶縁性下層部の表層部より下方側に導入水素含有層を有し前記絶縁性下層部に薄膜半導体層が形成された水素化処理準備状態を形成した後、前記薄膜半導体層にエネルギービームを照射することにより水素を前記薄膜半導体層に拡散させる工程を含んでいることを特徴とする薄膜多結晶半導体層の形成方法。

【請求項2】 前記絶縁性下部層に水素イオンを注入して導入水素含有層を形成することを特徴とする請求項1に記載の薄膜多結晶半導体層の形成方法。

【請求項3】 絶縁層と導入水素含有層と表層部とを順次形成して前記絶縁性下部層を形成することを特徴とする請求項1に記載の薄膜多結晶半導体層の形成方法。

【請求項4】 前記エネルギービームの照射により前記薄膜半導体層の結晶化又は活性化を行うことを特徴とする請求項1乃至請求項3のいずれかに記載の薄膜半導体活性層の形成方法。

【請求項5】 請求項1乃至4のうちいずれか1項に記載の薄膜多結晶半導体層の製造方法によって形成された薄膜多結晶半導体層を能動層として用いることを特徴とする薄膜トランジスタ。

【請求項6】 請求項5に記載の薄膜トランジスタを画素駆動素子として用いることを特徴とする表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、液晶ディスプレイ等を駆動する回路を構成する薄膜トランジスタなどに用いられる薄膜多結晶半導体層の形成方法、該形成方法によって形成された薄膜多結晶半導体層を能動層とする薄膜トランジスタ、及び該薄膜トランジスタを画素駆動素子として用いた表示装置に関する。

## 【0002】

【従来の技術】従来の薄膜多結晶半導体層の形成方法を、薄膜トランジスタの製造過程においてソース、ドレイン、チャンネルとなる薄膜多結晶半導体層を形成する場合を例に説明する。まず、絶縁性基板上にソース、ドレイン、チャンネルとなる薄膜多結晶半導体層である多結晶シリコン膜（以下、poly-Si膜という）を形成する。そして、このpoly-Si膜のチャンネルとなるべき領域上に、ゲート絶縁膜となるSiO<sub>2</sub>膜およびゲート電極となるpoly-Siゲート膜を形成した後、このpoly-Si膜上にレジスト膜を塗布し、図示しないマスクを介してのレジスト露光および現像処理を行ってチャンネルとなる領域に対応した位置のレジスト膜を残し、このレジスト膜が残されている部分以外のpoly-Siゲート膜及びSiO<sub>2</sub>膜をエッチングにより除去した後、上記レジストを除去する。

【0003】そして、前記チャンネルとなる領域上に残されているpoly-Siゲート膜及びSiO<sub>2</sub>膜をマスクとして、セルフアラインでリン等の不純物をイオン注

入し、600℃の雰囲気下で数時間の熱活性化処理を行うことにより、前記poly-Si膜の前記チャンネルの両側に薄膜半導体活性層であるソース領域及びドレイン領域が形成される。

【0004】しかしながら、上記方法により形成された薄膜多結晶半導体層では、ソース領域およびドレイン領域のシート抵抗値は数kΩと高いため、チャンネル層のスイッチング特性を十分に引き出すことができないという欠点がある。このため、前記薄膜多結晶半導体層中の結晶粒界や結晶内に存在する欠陥準位を水素によって補償する水素化処理手法が行われている。

【0005】従来の水素化手法としては、水素雰囲気中で行われる熱アニール処理や水素プラズマ処理、或いは、プラズマ窒化膜（SiN:H）を下地層として当該膜からの熱拡散による水素化処理手法が知られている。

## 【0006】

【発明が解決しようとする課題】しかしながら、上記従来の水素化手法を伴う薄膜多結晶半導体層の形成方法、特に、前記熱アニール処理や水素プラズマ処理では、薄膜半導体層への水素の導入率が悪く、処理時間が長くなるという問題がある。また、プラズマ窒化膜からの熱拡散による水素化処理手法では、水素の導入効率の点では優れるが、このプラズマ窒化膜を下地層として使う場合、薄膜半導体層の形成時に水素が抜け出たり、下地層の材料が限定されるといった不都合がある。

【0007】本発明は、上記の事情に鑑み、水素の導入効率が高く、薄膜半導体層の形成時の水素の抜け出しが防止でき、かつ簡単なプロセスで高品位の薄膜多結晶半導体層を得ることを目的とする。

## 【0008】

【課題を解決するための手段】本発明の薄膜半導体活性層の形成方法は、上記の課題を解決するために、絶縁性下層部の表層部より下方側に導入水素含有層を有し前記絶縁性下部層上に薄膜半導体層が形成された水素化処理準備状態を形成した後、前記薄膜半導体層にエネルギービームを照射することにより水素を前記薄膜半導体層に拡散させる工程を含んでいることを特徴とする。

【0009】また、上記の方法において、前記絶縁性下部層に水素イオンを注入して導入水素含有層を形成してもよい。また、上記の方法において、絶縁層と導入水素含有層と表層部とを順次形成して前記絶縁性下部層を形成してもよい。また、上記いずれかの方法において、前記エネルギービームの照射により前記薄膜半導体層の結晶化又は活性化を行ってもよい。

【0010】更に、本発明の薄膜トランジスタは、上記の薄膜多結晶半導体層の製造方法によって形成された薄膜多結晶半導体層を能動層として用いることを特徴とする。更にまた、本発明の表示装置は、上記薄膜トランジスタを画素駆動素子として用いることを特徴とする。上記の方法によれば、絶縁性下層部の導入水素含有層から

水素が拡散して効率的に薄膜半導体層に導入され、水素化処理が行われる。また、薄膜半導体層の界面に近い絶縁性下部層の表層部では水素量が少ないため、水素の拡散時の急激な水素放出が抑制され、薄膜半導体膜の膜荒れが回避される。更に、絶縁性下部層としては、任意の絶縁性材料を用いることができる。

【0011】また、絶縁性下部層に水素イオンを注入して導入水素含有量を形成する方法によれば、絶縁性下部層の表面からの深さに対して任意の水素プロファイルを持たせることができる。また、絶縁層と水素含有層と表層部とを順次形成して絶縁性下部層を形成する方法によれば、絶縁性下部層の表面から任意の深さに導入水素含有層を形成することができる。

【0012】また、前記エネルギービームの照射により前記薄膜半導体層の結晶化又は活性化を行う方法によれば、薄膜半導体層の再結晶化或いは活性化処理と同時に薄膜半導体層の水素化処理が行われ、製造工程を簡素化することができる。

【0013】

【発明の実施の形態】

(実施例1) 以下、本発明をその実施例を示す図1及び図2に基づいて説明する。図1に示すように、基板上に $\text{SiO}_2$ をAPCVD(常圧CVD)法により300nmの厚みに形成して絶縁性下部層2を得る。次に、導電性を決定する不純物が導入された薄膜半導体層3を、LPCVD(減圧CVD)法により50nmの厚みに形成する。そして、前記薄膜半導体層3の上方から水素をイオン注入して前記絶縁性下部層2内に導入水素含有層4を形成する。

【0014】図2(a)は、上記水素のイオン注入による絶縁性下部層2内に形成された導入水素含有層4の水素プロファイルを示したグラフであり、横軸は前記絶縁性下部層2と前記薄膜半導体層3の界面からの深さを示し、縦軸は水素含有量を示している。この実施例では、水素含有量のピークが絶縁性下部層2の表面から100nmの深さに位置し、そのピーク量が10atm%となるように、前記水素イオンのドーズ量および打ち込み強さを設定している。具体的には、水素イオンのドーズ量を $5 \times 10^{16} \text{ cm}^{-2}$ とし、打ち込み強さを10keVとした。

【0015】前記水素イオン注入の後、例えば、ArFエキシマレーザなどのエネルギービームを照射し、前記薄膜半導体層3内に前記導入水素含有層4内の水素を拡散させるとともに、薄膜半導体層3を再結晶化する。前記エネルギービームの照射は、 $300 \text{ mJ/cm}^2$ の強さで1shot行った。また、ビームの形状はビームホモジナイザにより所定のプロファイルに加工しており、ビーム照射時の温度は室温とした。

【0016】図2(b)は、エネルギービーム照射後の前記薄膜半導体層3及び絶縁性下部層2の水素プロファ

イルを示したグラフであり、同図(a)と同様、横軸は前記絶縁性下部層2と前記薄膜半導体層3の界面からの深さを示し、縦軸は水素含有量を示している。この図からも明らかなように、前記絶縁性下部層2内に形成された導入水素含有層4の水素ピーク量が減り、水素の一部が導入水素含有層4上の表層部を経て薄膜半導体層3まで拡散していることがわかる。

【0017】以上説明した方法によれば、絶縁性下部層2の導入水素含有層4から水素が拡散して効率的に薄膜半導体層3に導入され、水素化処理が行われる。この水素化処理により、結晶化した薄膜半導体層3のシート抵抗が低下する。例えば、薄膜半導体層3を厚みが50nmのpoly-Si膜とし、導電性を決定する不純物としてリン(P)を $5 \times 10^{15} \text{ cm}^{-2}$ とした場合には、そのシート抵抗は $80 \Omega/\square$ であった。一方、従来との比較のために、レーザ照射後に水素化処理を、450℃の $\text{H}_2$ 雰囲気中で1時間の熱処理を行ったが、この場合のシート抵抗は $200 \Omega/\square$ であり、シート抵抗の低減が十分に図られた。

【0018】また、上記の方法によれば、結晶化される薄膜半導体層3の界面に近い絶縁性下部層2の表層部では水素量が少ないため、水素の拡散時に急激な水素放出が抑制され、薄膜半導体膜3の膜荒れが回避される。更に、絶縁性下部層2として任意の絶縁性材料を用いることができる。更に、絶縁性下部層に水素イオンを注入して導入水素含有層4を形成するので、簡単に導入水素含有層4が形成できるとともに、絶縁性下部層2の表面からの深さに対して任意の水素プロファイルを持たせることができる。水素プロファイルは、図2(a)で示したものに限らず、ピーク位置を薄膜半導体層3との界面から20~200nm(望ましくは70nm~150nm)の範囲とし、ピーク水素量を1~20atm%(望ましくは1~10atm%)の範囲とすることができる。

【0019】(実施例2) 以下、本発明の薄膜半導体活性層の形成方法を薄膜トランジスタの製造に適用した実施例を説明する。まず、図3(a)に示すように、基板10上に $\text{SiO}_2$ をAPCVD(常圧CVD)法により300nmの厚みに形成してバッファ層11を得る。なお、バッファ層11は後述するエネルギービーム照射時の基板10へのダメージを低減するためのものであるが、本実施例では、このバッファ層11が絶縁性下部層を兼ねる。次に、バッファ層11上にチャンネル層12となるa-Si膜(非晶質シリコン膜)をLPCVD法により50nmの厚みに形成し、このa-Si膜にエネルギービームとしてのArFエキシマレーザを、 $300 \sim 400 \text{ mJ/cm}^2$ の強さで照射し、再結晶化してpoly-Si膜とした後、素子間絶縁のためアイランド状にパターニングする。

【0020】そして、ゲート絶縁膜13となる $\text{SiO}_2$

膜をスパッタ法により形成した後、この $\text{SiO}_2$ 膜上にゲート電極14となる $\text{poly-Si}$ 膜を100nmの厚みに形成する。そして、これら $\text{SiO}_2$ 膜及び $\text{poly-Si}$ 膜が前記チャンネル層12のチャンネル部12aとなる領域状に残るようにパターニングする。次に、同図(b)に示すように、前記パターニングされた $\text{SiO}_2$ 膜及び $\text{poly-Si}$ 膜をマスクとして、当該 $\text{poly-Si}$ 膜及び前記チャンネル層12となる $\text{poly-Si}$ 膜に、導電化のため、リン( $\text{P}^+$ )などのイオン注入を例えば、ドーズ量 $5 \times 10^{15}$ 、打ち込み強さ10 keVの条件で行う。その後、バッファ層11内に導入水素含有膜15を形成すべく、バッファ層11に水素イオン注入を行う。なお、これら導電化のイオン注入の後先は問わず、又同時に行ってもよいものである。

【0021】次に、基板の上方から基板に向けてArFエキシマレーザを照射する。このArFエキシマレーザの照射により、チャンネル層12にソース領域12b及びドレイン領域12cが形成される。また、これと同時に、ソース領域12b及びドレイン領域12cの水素化処理が行われるので、この水素化のために別に熱処理を

【0022】その後、 $\text{SiO}_2$ 膜等からなるパッシベーション膜16を、APCVD(常圧CVD)法により形成する。そして、前記ソース領域12b及びドレイン領域12c上の前記パッシベーション膜16にコンタクトホールを形成した後、Al等をパッシベーション膜16上に堆積し、ソース領域12b及びドレイン領域12cに前記コンタクトホールを通じてコンタクトするソース電極17及びドレイン電極18を形成する。

【0023】かかる方法によれば、前記活性化と同時に行われる水素化処理により、ソース領域及びドレイン領域のシート抵抗値が低くなるため、チャンネル層のスイッチング特性を十分に引き出すことができる。

(実施例3) 本実施例は、実施例2と同様、薄膜半導体活性層の形成方法を薄膜トランジスタの製造に適用した実施例であるが、ゲート絶縁膜が絶縁性下部層となるようにした点で実施例2と相違する。

【0024】即ち、図4に示すように、基板31上にゲート電極32をクロム(Cr)等にて厚み100nmに形成した後、ゲート絶縁膜33を形成する。次にチャンネル層34を形成した後、チャンネル部34aとなる領域上にチャンネル保護膜35を形成する。そして、上記のチャンネル保護膜35をマスクとして、実施例2と同様、チャンネル層34においてソース領域34b及びドレイン領域34cを形成すべく、その導電化のためのリン( $\text{P}^+$ )などをイオン注入するとともに、ゲート絶縁膜33内に導入水素含有膜36を形成すべく、ゲート絶縁膜33に水素イオンを注入する。

【0025】次に、基板の上方から基板に向けてArFエキシマレーザを照射する。このArFエキシマレーザ

の照射により、活性化と同時にチャンネル層12の水素化処理が行われ、実施例2と同様、この水素化のために別に熱処理を施す場合に比べて製造工程が簡素化する。その後は、実施例2と同様、図示はしないが、ソース電極及びドレイン電極を形成する。

【0026】なお、以上の実施例においては、絶縁性下部層に水素イオンを注入して導入水素含有層を形成したが、その他、絶縁層と水素含有層と表層部とを順次形成して絶縁性下部層を形成した後に薄膜半導体層を形成してもよく、この方法によれば、絶縁性下部層の表面から任意の深さに導入水素含有層を形成できる。更に、絶縁性下部層に水素イオンを注入して導入水素含有層を形成した後に薄膜半導体層を形成するようにしてもよい。

【0027】また、実施例1、2においては、レーザによるソース領域等の活性化において同時に水素を拡散させたが、これに限らず、チャンネル層となる $\text{a-Si}$ 膜を形成した後に絶縁性下部層に水素を注入し、 $\text{a-Si}$ 膜をレーザにて再結晶化させるときに、これと同時に水素の拡散を行わせるようにしてもよいものである。ここで、上記のように本発明の製造方法によって製造された多結晶シリコンTFT及びそのTFTを画素駆動素子として用いた透過型のLCD(Liquid Crystal Display)の画素部周辺の構造を説明する。

【0028】図5は画素部周辺の具体的な平面構造図である。画素部は、駆動素子としてのTFTと、液晶セル及び補助容量CSから構成される。ゲート配線 $G_m$ にはTFTのゲートGが接続され、ドレイン配線 $D_n$ にはTFTのドレインDが接続されている。そして、TFTのソースSには、液晶セルの表示電極と補助容量電極CSとが接続されている。この液晶セルと補助容量とにより信号蓄積素子が構成される。

【0029】上述のTFTを画素駆動素子としたLCDの画素部は、図6に示すように、多結晶シリコンTFTが形成された透明絶縁基板10と、表面に共通電極42が形成された透明絶縁基板41とを相対向させ、各基板の間に液晶を封入して液晶層43を形成することで完成する。同図においては、表示電極をドレイン電極18を表示電極と共通とした場合である。

【0030】図7に、本実施例のアクティブマトリックス方式のLCDブロック構成を示す。画素部50には各走査線(ゲート配線) $G_1 \dots G_n, G_{n+1} \dots G_m$ と各データ線(ドレイン配線) $D_1 \dots D_n, D_{n+1} \dots D_m$ とが配置されている。各ゲート配線と各ドレイン配線とはそれぞれ直交し、その直交部分に画素51が設けられている。そして、各ゲート配線はゲートドライバ52に接続され、ゲート信号(走査信号)が印加されるようになっていく。また、各ドレイン配線はドレインドライバ(データドライバ)53に接続され、データ信号(ビデオ信号)が印加されるようになっている。これらのドライバによって周辺駆動回路54が構成されている。そして、

各ドライバのうち少なくともいずれか一方を画素部50と同一基板上に形成したLCDは、一般にドライバ一体型(ドライバ内蔵型)LCDと呼ばれる。尚、ゲートドライバ52が、画素部50の両側に設けられている場合もある。また、ドレインドライバ53が、画素部50の両側に設けられている場合もある。

【0031】図8にゲート配線Gnとドレイン配線Dnとの直交部分に設けられている画素の等価回路を示す。画素は、画素駆動素子としてのTFT、液晶セルLC、補助容量から構成される。ゲート配線Gnには、TFTのゲートが接続され、ドレイン配線DnにはTFTのドレインが接続されている。そして、TFTのソースには、液晶セルLCの表示電極(画素電極)と補助容量(蓄積容量または付加容量)とが接続されている。この液晶セルLCと補助容量とにより、前記信号蓄積素子が構成される。液晶セルLCの共通電極(補助容量電極の反対側の電極)には電圧Vcomが印加されている。一方、補助容量において、TFTのソースと接続される側の電極の反対側の電極には定電圧VRが印加されている。この液晶セルLCの共通電極は、文字どおり全ての画素に対して共通した電極となっている。そして、液晶セルLCの表示電極と共通電極との間には静電容量が形成されている。尚、補助容量において、TFTのソースと接続される側の電極の反対側の電極は、隣のゲート配線Gn+1と接続されている場合もある。

【0032】このように構成された画素において、ゲート配線Gnを正電圧にしてTFTのゲートに正電圧を印加すると、TFTがオンとなる。すると、ドレイン配線Dnに印加されたデータ信号で、液晶セルLCの静電容量と補助容量とが充電される。反対に、ゲート配線Gnを負電圧にしてTFTのゲートに負電圧を印加すると、TFTがオフとなり、その時点でドレイン配線Dnに印加されていた電圧が、液晶セルLCの静電容量と補助容量とによって保持される。このように、画素へ書き込みたいデータ信号をドレイン配線Dnに与えてゲート配線Gnの電圧を制御することにより、画素に任意のデータ信号を保持させておくことができる。その画素の保持しているデータ信号に応じて液晶セルLCの透過率が変化し、画像が表示される。

【0033】

【発明の効果】以上のように、本発明によれば、水素の導入効率が高く、薄膜半導体層の形成時の水素の抜け出し防止が図れるとともに、水素の拡散時の急激な水素放出が抑制され、薄膜半導体層の膜荒れが回避される。更に、絶縁性下部層としては、任意の絶縁性材料を用いることができる。また、絶縁性下部層の表面からの深さに対して任意の水素プロファイルを持たせることができる。また、絶縁性下部層の表面から任意の深さに導入水素含有層を形成することができる。また、薄膜半導体層の再結晶化或いは活性化処理と同時に薄膜半導体層の水素化処理を行い、製造工程を簡素化することができるという効果も奏する。

【0034】更には、本発明の薄膜多結晶半導体層の形成方法で形成した薄膜多結晶半導体層を能動層とすることにより、良好な特性の得られる薄膜トランジスタが得られる。また、その薄膜トランジスタを用いることにより、良好な表示を提供する表示装置が得られる。

【図面の簡単な説明】

【図1】本発明の薄膜半導体層の形成方法を示す基板断面図である。

【図2】本発明の水素プロファイルを説明するためのグラフである。

【図3】本発明の薄膜半導体活性層の形成方法を適用して薄膜トランジスタを製造する方法を示す工程断面図である。

【図4】本発明の薄膜半導体活性層の形成方法を適用して薄膜トランジスタを製造する他の方法を示す工程断面図である。

【図5】画素部周辺の具体的な平面構造図である。

【図6】TFTを画素駆動素子としたLCDの画素部の断面図である。

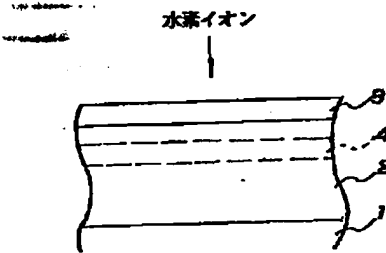
【図7】本実施例のアクティブマトリックス方式のLCDブロック構成図である。

【図8】ゲート配線Gnとドレイン配線Dnとの直交部分に設けられている画素の等価回路である。

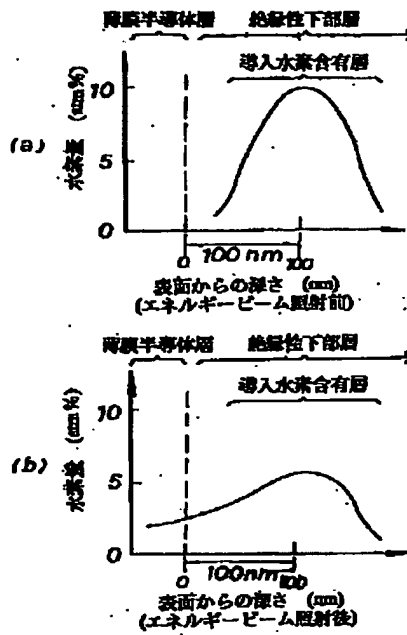
【符号の説明】

- 2 絶縁性下部層
- 3 薄膜半導体層
- 4 導入水素含有層

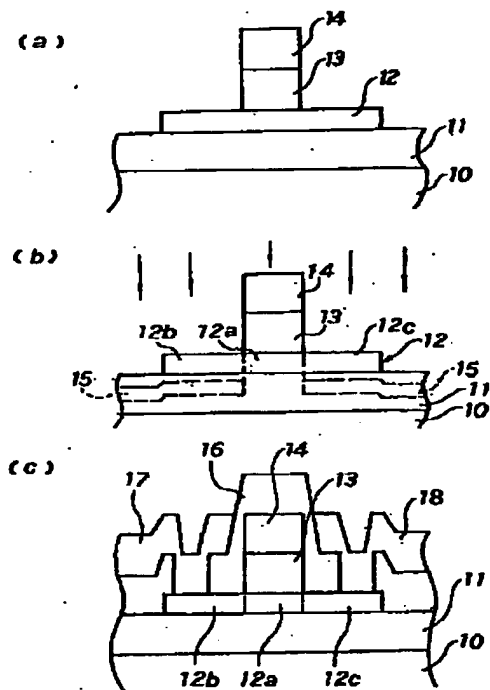
【図1】



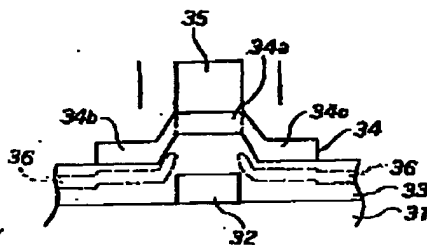
【図2】



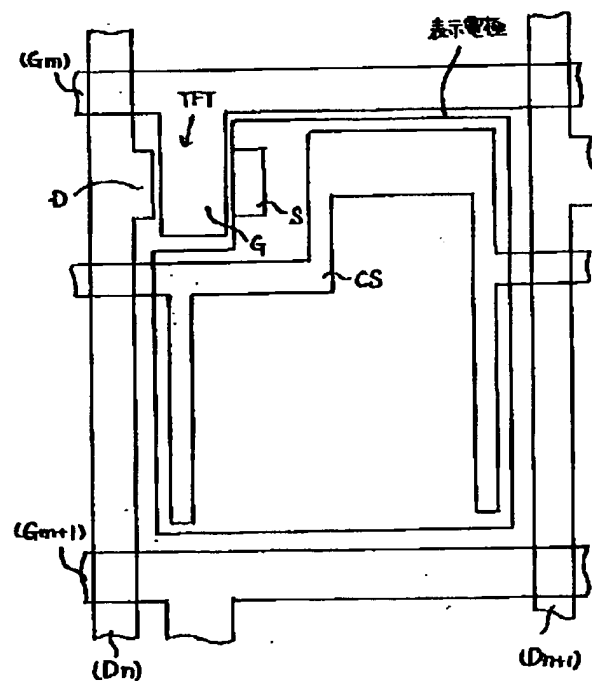
【図3】



【図4】

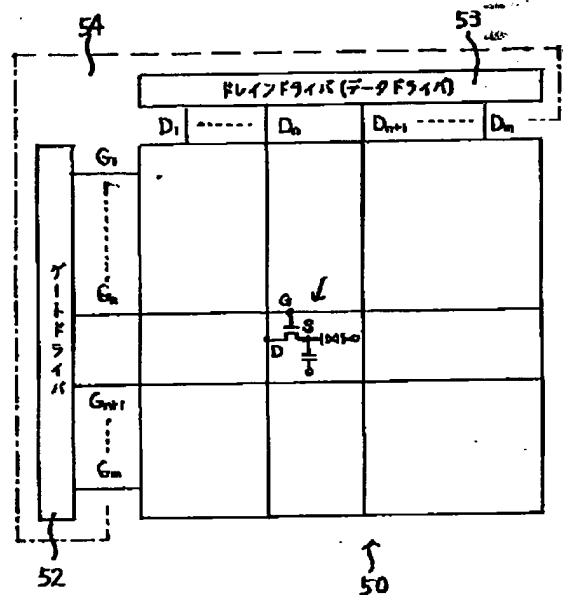


【図5】





【図7】



【図8】

